

# 如何使ADC达到最佳的性能

作者：Rastislav Pavlanin

译者：Jianhui Tong

## 1. 概述

模数转换器（ADC）想要在实际应用中达到标称的精度，仅仅依赖ADC模块本身是不够的，实际的测量精度还会受到一系列外在因素的影响，例如：

- ADC时间配置（包括采集时间、转换时间、采样时间、采样时钟抖动等等）
- 电源性能（噪声和内部阻抗）
- 数据采集系统中数字和模拟部分的隔离情况
- 内部阻抗与外部阻抗的匹配
- 输入/输出开关切换的影响
- PCB布局布线

本文给出了如何根据选定的采样时间以及控制器手册中的其他转换器参数，为SAR ADC输入端正确选择所需的外部RC元件的方法，遵从此应用笔记中的建议，能够帮助您获得最佳的ADC性能。

某个客户反馈他们在对ADC采样期间可能受到的影响和外部RC元件不同取值对ADC性能的影响进行研究时，在ADC输入端观察到了严重的电压扰动（电压降落/电压尖峰），如图1所示。不仅如此，他们还发现在使用不同ADC通道进行顺序采样时，如果前一路信号为地信号，那么这种电压扰动将会变得更糟。事实上，这种电压扰动产生于SAR ADC内部固有的采样保持电路的基本工作原理，而当ADC的相关时间都设置正确时，这样的扰动并不会使转换精度有所损失。反之，如果没有采用合适的设置，将会导致ADC在转换过程中损失显著的精度。为了

## 目录

1. 概述 .....	1
2. 理论背景 .....	3
3. 示例 .....	9
3.1. 示例 1–使用 12-bit 循环结构 ADC 的 DSC MC86F8257 .....	10
3.2. 示例 2–使用 16-bit SAR ADC 的 Kinetis K K70FN1M .....	12
4. 总结 .....	16
5. 参考文献 .....	16



解决大部分客户所遇到的类似问题，本文应运而生。

本文将详细地介绍如何通过选择合适的转换时间和外部RC元件来避免上述情况的发生。本应用笔记的末尾给出了正确选择外部RC元件的示例。这些示例清楚地展示了如何为NXP器件所使用的循环结构ADC和SAR ADC选择合适的外部元件，并指出了不正确选择外部阻抗的常见错误。

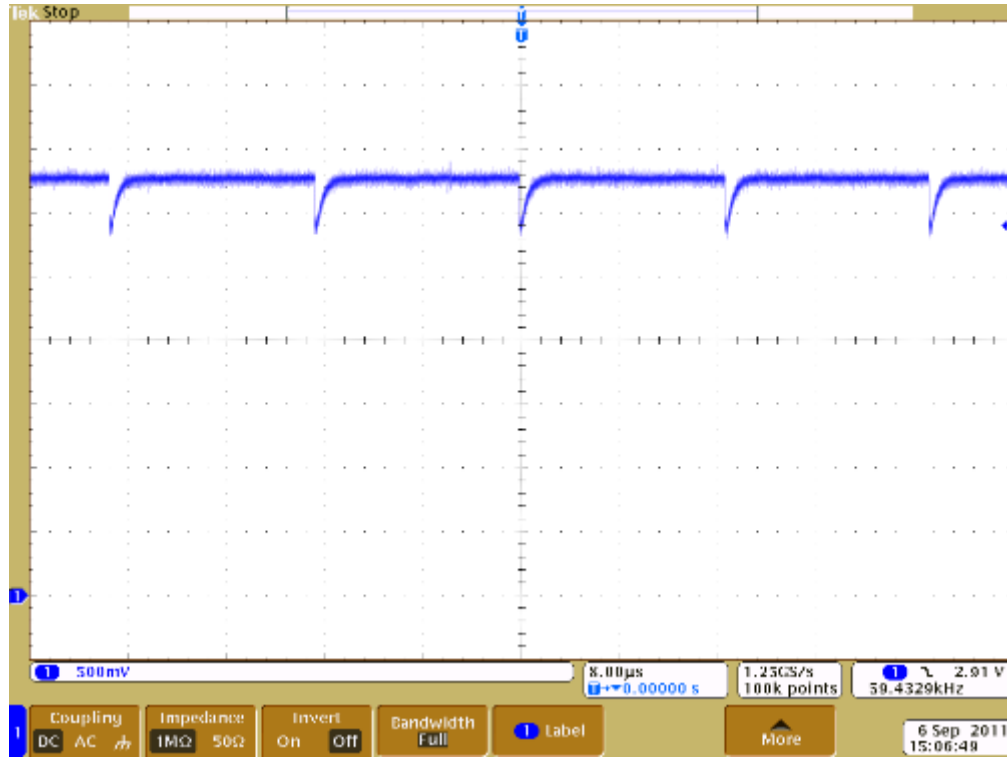


图 1 ADC 采样时输入端的电压降落

## 2. 理论背景

为了使ADC达到最佳的性能，我们需要正确地设计和配置整个系统。在硬件方面，必须严格遵从数据手册中给出的建议，例如：

- 在芯片电源引脚间放置0.1  $\mu\text{F}$ 的电容，电容应尽可能地贴近芯片封装（每对电源引脚间放置一个电容）
- 在芯片电源引脚间放置约为100  $\mu\text{F}$ 的电容
- PCB走线长度应该尽量短
- 在实际应用设计中应充分考虑PCB走线上寄生参数的影响
- 必须小心处理模拟电源以及参考引脚，使它们的噪声幅度最小
- 针对数字部分和模拟部分使用不同的供电电源和地平面
- 如果数字部分和模拟部分连接到了相同的供电电源，则应该在数字部分和模拟部分之间使用一个小的电感或磁珠进行连接
- 使用地平面将有噪声的数字元件与模拟元件隔离开来，走线时用模拟地将模拟信号包围起来

除了上文给出的建议，我们还需要格外注意外部 RC 元件的选型和设计。后文给出的最终计算公式将涉及到外部 RC 元件的最小取值，最小取值详见 MC56F825x/MC56F824x Digital Signal Controller（文档 MC56F825X）。

下面的内容将详细介绍 ADC 中固有部分采样保持电路的基本原理，[图2](#)为采样部分的等效电路，后文将基于此电路进行理论分析。为了简化整个过程，将忽略所有的寄生参数。

### 注意

需要注意，[图2](#)所示的采样等效电路是以NXP器件中所使用的ADC为基础，进行简化后的形式。等效采样电阻 $R_{SH}$ 代表采样电容和模拟输入引脚之间总的串联电阻（采样开关，多路选择开关等）。 $C_{SH}$ 为所有电容并联后的等效采样电容，例如在NXP的SAR ADC中，等效采样电容实际上包含了一组电容，其中的每个电容都会在采样期间通过被测的输入引脚上的电压进行充电。在其后的保持和逐次逼近阶段（即转换阶段），存储在每个电容内的能量会根据二进制加权原理确定的特定序列，决定是通过 $V_{REFH}$ 进行充电还是放电。通常情况下，等效采样电阻和等效采样电容的取值都可以在数据手册中找到（但表述的名称可能会有所不同）。

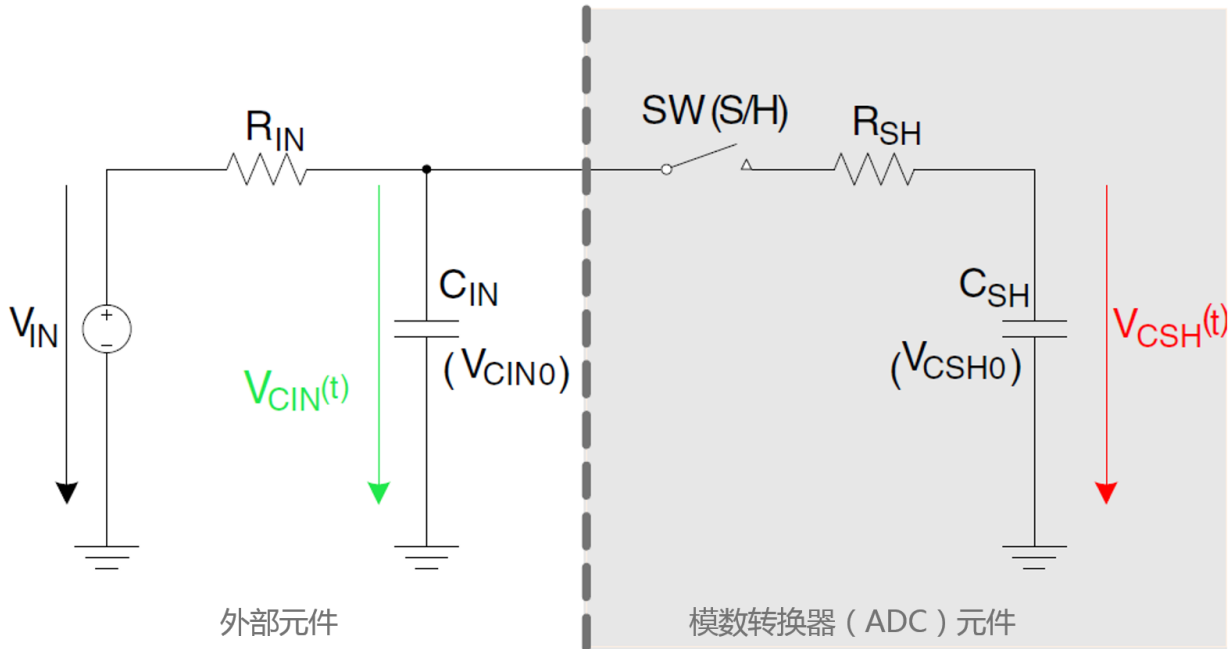


图 2 等效的采样电路

在一般的采样过程中，我们可以将采样时间内的待测输入信号当作一个有着恒定电压的直流电压源。通常设计人员会假设该电压源有着很大的内阻（即  $R_{IN} \gg R_{SH}$ ），在此假设下，采样电容充电期间将会出现两个明显不同的时间段，如 [图3](#) 所示。图中所绘为采样电容（红色）和输入电容（绿色）两端的电压波形。

### 注意

[图3](#)所示为输入电容  $C_{IN}$  上的初始电压大于采样电容  $C_{SH}$  上的初始电压的情况（即  $V_{CIN0} > V_{CSH0}$ ）。此时，输入电容两端的电压将出现电压降落，如 [图3](#) 所示。反之，当  $V_{CIN0} < V_{CSH0}$  时，输入电容两端的电压将出现电压尖峰。电压降落/电压尖峰的幅度大小由后面的 [公式6](#) 给出。

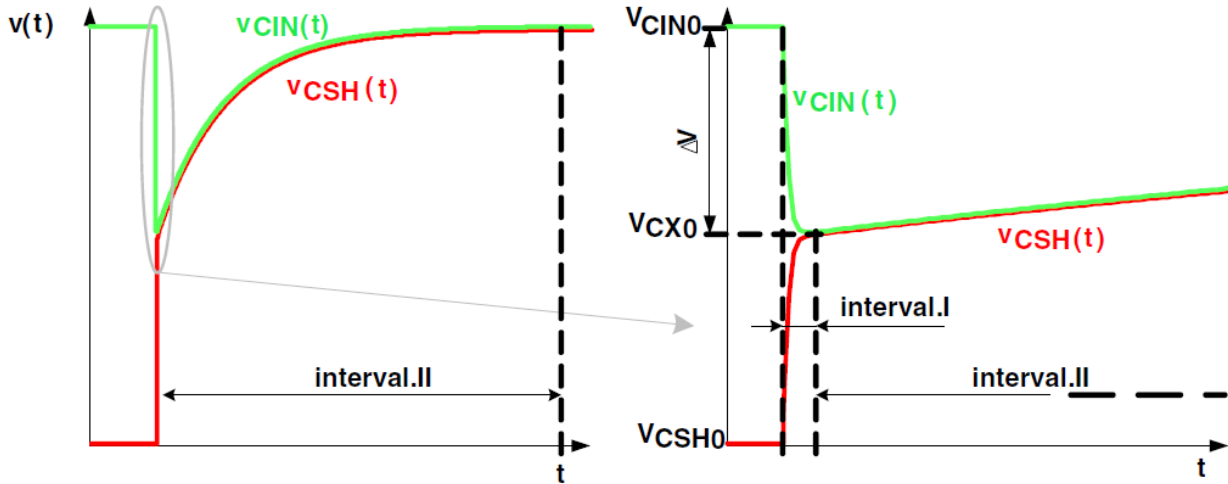


图 3 输入电容和采样电容两端的电压波形

如 [图 3](#) 所示，采样电容  $C_{SH}$  两端的电压曲线可以划分为两个时间段，在高输入阻抗的情况下，时间段 II 的曲线变化要比时间段 I 缓慢许多。因而，[图 2](#) 所示的等效电路可以根据时间段的不同划分为两个新的等效电路，如 [图 4](#) 所示。其中，时间段 I 的等效电路由 [图 4a](#) 表示。通过解微分方程，能够推导出时间段 I 内采样电容两端电压的数学表达式为：

$$V_{CSH}(t) = (V_{CIN0} - V_{CSH0}) \frac{\alpha}{\alpha + 1} \left(1 - e^{-\frac{t}{\tau_1}}\right) + V_{CSH0}$$

公式 1

时间段 I 内输入电容两端的电压为：

$$V_{CIN}(t) = (V_{CIN0} - V_{CSH0}) \left( \frac{\alpha}{\alpha + 1} - \frac{1}{\alpha + 1} e^{-\frac{t}{\tau_1}} \right) + V_{CSH0}$$

公式 2

其中， $V_{CIN0}$  为输入电容两端的初始电压，其值等于输入端的待测电压。 $V_{CSH0}$  为采样电容两端的初始电压，此电压的取值与具体的 ADC 输入结构有关。在 SAR ADC 的充电重分配结构中，如果使用了预采样电路，则  $V_{CSH0}$  可能等于  $V_{REFL}$  或  $V_{REFH}$ 。某些特殊情况下，为了降低电容上的电压应力， $V_{CSH0}$  可以被设定为  $(V_{REFH} - V_{REFL})/2$ 。而在通常采用的顺序采样情况下， $V_{CSH0}$  等于前一通道的转换电压。

上述公式中的  $\tau_1$  为等效电路的时间常数，其值为：

$$\tau_1 = R_{SH}(C_{IN} + C_{SH})$$

公式 3

符号  $\alpha$  表示输入电容和采样电容之比：

$$\alpha = \frac{C_{IN}}{C_{SH}}$$

公式 4

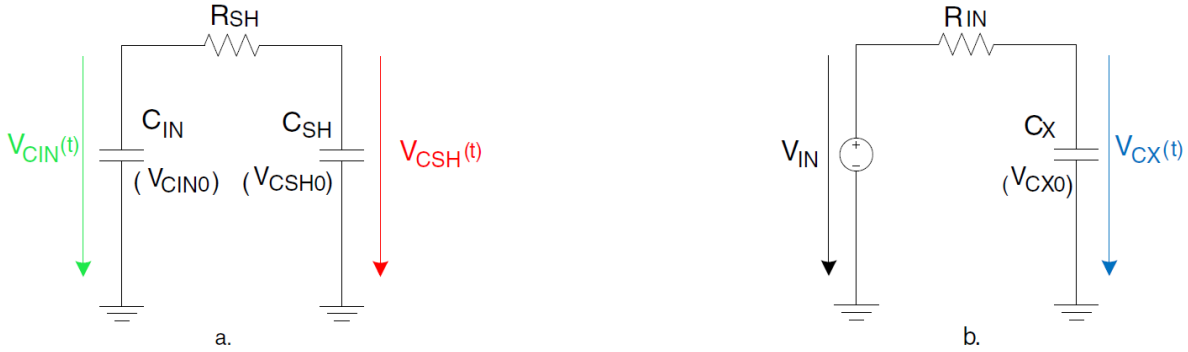


图 4 等效电路 a.时间段 I， b.时间段 II

时间段 I 内的电压波形如 [图 5](#) 所示。其中，灰色虚线为输入电容  $C_{IN}$  两端电压的实际波形。在此时间段内，输入电容内的电流向采样电容（通常  $V_{CIN0} = V_{IN}$ ），最终达到一个稳定的状态。此时，不再有能量转移，电流为零，并且两个电容上的电压相等。将  $t \rightarrow \infty$  代入 [公式 1](#) 和 [公式 2](#)，得到稳定状态下的数学表达式：

$$V_{CX0} = (V_{CIN0} - V_{CSH0}) \frac{\alpha}{\alpha + 1} + V_{CSH0} = \frac{\alpha}{\alpha + 1} V_{CIN0} + \frac{1}{\alpha + 1} V_{CSH0}$$

公式 5

通过 [公式 5](#) 和 [图 5](#) 能够很容易推导出时间段 I 内输入电容两端电压降落（或电压尖峰）的幅度：

$$\Delta V = V_{CIN0} - V_{CX0} = \frac{1}{\alpha + 1} (V_{CIN0} - V_{SH0})$$

公式 6

根据 [公式 4](#)，可以发现输入电容与采样电容的比值越大，产生的电压降落（或电压尖峰）的幅度将越小。

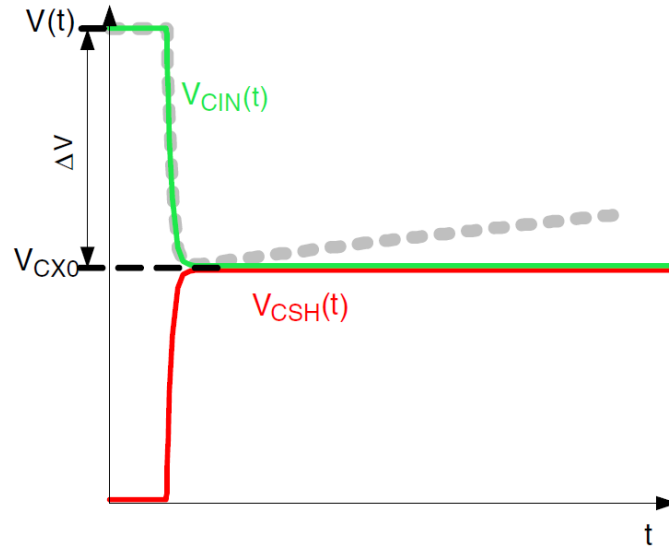


图 5 时间段 I 内采样电容充电的电压波形

图 4b 为时间段 II 内采样电容充电的等效电路。再次强调，我们考虑的为高输入阻抗的情况 ( $R_{IN} \gg R_{SH}$ )，在此基础上，同时假定时间段 II 开始时刻输入电容两端电压  $V_{CIN}$  与采样电容两端电压  $V_{CSH}$  已经相等。并联连接的输入电容和采样电容可以等效的表示为电容  $C_X$ ， $C_X$  的初始电压即为时间段 I 达到稳定状态时的电压，其值见公式 5。等效电容  $C_X$  两端的电压  $V_{CX}(t)$  如图 6 所示，其中灰色虚线表示的是输入电压的实际波形。

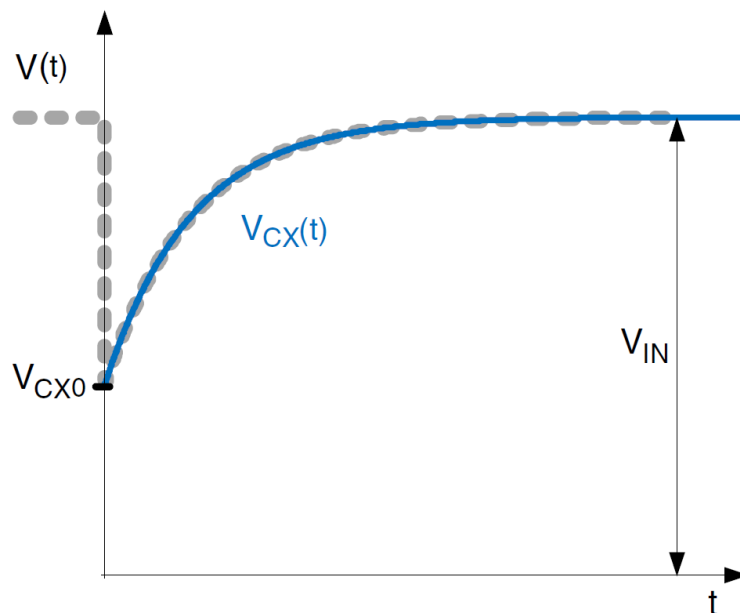


图 6 时间段 II 内采样电容充电的电压波形

通过解系统的微分方程（参考等效电路），推导出等效电容两端电压 $V_{CX}(t)$ 的数学表达式：

$$V_{CX}(t) = (V_{IN} - V_{CX0}) \left( 1 - e^{-\frac{t}{\tau_{II}}} \right) + V_{CX0}$$

公式 7

其中， $V_{CX0}$ 为等效电容两端的初始电压， $\tau_{II}$ 为时间段 II 的时间常数，即：

$$\tau_{II} = R_{IN}(C_{IN} + C_{SH})$$

公式 8

在采样周期结束时，采样电容 $C_{SH}$ 两端电压需要满足下面的条件：

$$V_{IN} - V_{CX}(T_{AQ}) \leq \frac{V_{FSR}}{2^{(N+1)}}$$

公式 9

其中， $T_{AQ}$ 为采样时间， $V_{FSR}$ 为 ADC 满量程电压， $N$ 为 ADC 分辨率位数。[公式 9](#) 表示采样电压与待测电压之间的误差需要小于  $1/2$  LSB。

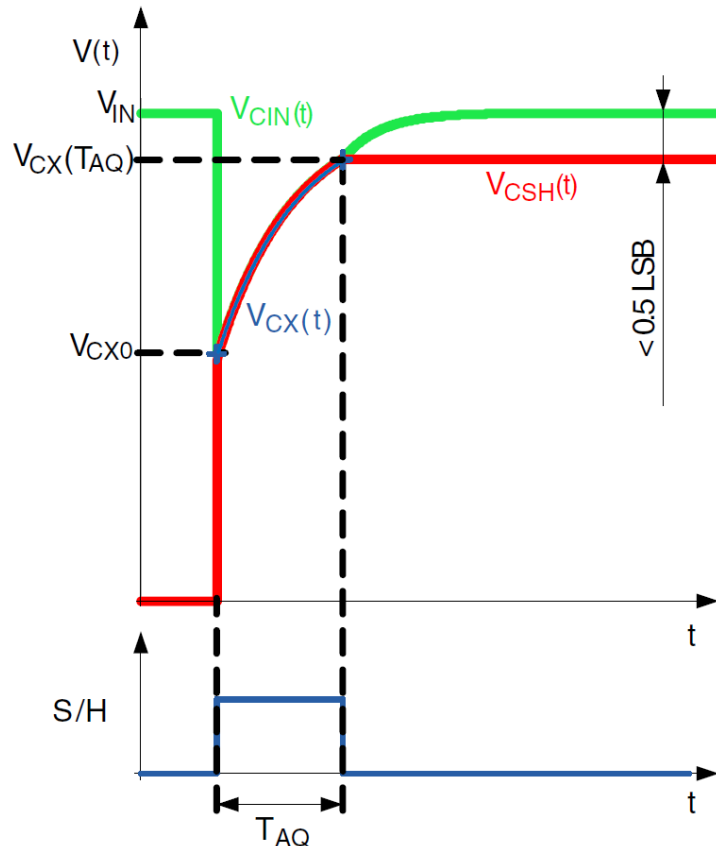


图 7 采样时间内的电压波形



想要使采样电容两端电压与实际待测电压之间的误差小于  $1/2 \text{ LSB}$ ，则采样保持开关必须在采样时间  $T_{AQ}$  内保持闭合， $T_{AQ}$  需要满足：

$$T_{AQ} \geq \tau_{II} \ln \left( \frac{(V_{IN} - V_{CSHO})}{(1 + \alpha) \cdot V_{FSR}} \cdot 2^{(N+1)} \right)$$

公式 10

另外，如果采样时间已经确定，则输入电阻需要满足：

$$R_{IN} \leq \frac{T_{AQ}}{(C_{IN} + C_{SH}) \ln \left( \frac{(V_{IN} - V_{CSHO})}{(1 + \alpha) \cdot V_{FSR}} \cdot 2^{(N+1)} \right)}$$

公式 11

### 3. 示例

本节将以 DSC 和 Kinetis 两类有着广泛应用的 NXP 器件为例，分别为两种不同的 ADC 模块设计合适的外部 RC 元件。

NXP 的 DSC 器件使用的是多模拟通道输入的 12-bit 循环结构 ADC，每个 ADC 模块包含一个采样保持电路（某些特殊器件中，每路输入会拥有独立的采样保持电路）。该 ADC 还带有可编程增益的 PGA 模块，依据器件的不同，具体实现可能是开关电容增益放大器，或是线性电阻运算放大器（具体细节请参考器件的参考手册）。在这类器件中，采样时间等于一个 ADC 时钟周期。因此，如果想要增加采样时间，则需要增大 ADC 的时钟周期，但总的转换时间也会显著增加。

NXP 的 Kinetis 器件使用的是多模拟通道输入的 16-bit SAR ADC，每个 ADC 模块包含一个采样保持电路。Kinetis K 系列器件中同样包含一个可编程增益的 PGA 模块（线性电阻放大器）。该 ADC 模块的采样时间不仅依赖于 ADC 时钟，还与其他配置有关，用户可以通过修改 ADCx\_CFG1 寄存器中的 ADLSMP 位和 ADCx\_CFG2 寄存器中的 ADLSTS 位来对采样时间进行配置。因此，总的转换时间并不会随采样时间增加而显著增加，这种特性在高输入阻抗的情况下尤其有用。

#### 注意

明确 DSC 和 Kinetis 器件中 PGA 模块的区别非常重要，因为 PGA 模块的使用与否，会显著影响对外部 RC 元件的选择。部分 DSC 器件使用的是开关电容增益放大器 PGA 模块，由于该 PGA 模块的输入电容将随增益增大而增大，因此它们会对外部 RC 元件有着更高的要求。另一方面，Kinetis 器件使用的线性电阻放大器 PGA 模块，输入电容受增益影响较小，但有着更高的功耗。另外，它还能帮助完成外部 RC 元件与采样保持电路之间的阻抗隔离。采样电容由 PGA 低阻抗的输出端进行充电，外部 RC 元件则连接到 PGA 高阻抗的输入端（根据 PGA 增

益的不同，阻抗从32K到128K变化）。这种特性能够显著降低对外部RC元件的要求（即能够接受更高的输入阻抗）。

### 3.1. 示例1–使用12-bit循环结构ADC的DSC MC86F8257

本例中使用了 MC86F8257 的板卡，它主要针对电机控制应用领域。本例将通过它来介绍 ADC 模块输入端的外部 RC 元件选型与设计。

板卡采用电池供电，并且模拟电路和数字电路由同一电源进行供电。在前面所列的设计建议中，除了没有在数字和模拟电源引脚间连接电感或磁珠以外，其他的建议均满足。

#### 注意

受无源器件公差和寄生参数的影响，最终的实验结果将略有偏差。

本例中将对三个单端通道进行顺序采样，其中第一个和第三个通道连接到地，第二个通道连接到 3.3 V。PGA 模块增益设置为 1，转换时间设置为 2.05  $\mu\text{s}$ 。其中内核工作频率为 60 MHz，经过分频系数为 6 的分频器，ADC 的工作时钟为 10 MHz (0.1  $\mu\text{s}$ )，三个通道的总转换时间等于  $8.5 \times 0.1 \mu\text{s} + 6 \times 0.1 \mu\text{s} + 6 \times 0.1 \mu\text{s} = 2.05 \mu\text{s}$ 。

ADC 转换每 16.67  $\mu\text{s}$  由一个定时器产生的同步脉冲触发（采样频率为 60 kHz）。根据 MC56F825x/4x 参考手册（文档 MC56F825XRM）中的“图 2-74 ADC 时序”，得知采样保持电路的采样时间为半个 ADC 时钟周期，即  $T_{AQ} = 50 \text{ ns}$ ，ADC 分辨率为 12 位。考虑最坏的情况（第二个通道），测量的输入电压  $V_{IN}$  为  $V_{REFH}$ ，即  $V_{IN} = 3.3 \text{ V}$ ，而采样电容两端的初始电压为  $V_{REFL}$ ，即  $V_{CSHO} = 0 \text{ V}$ （来自前一次测量），满量程电压为 3.3 V，即  $V_{FSR} = 3.3 \text{ V}$ 。查阅数据手册 MC56F825x/MC56F824x Digital Signal Controller（文档 MC56F825X），采样电容值随 PGA 增益增加而增加，而当 PGA 增益为 1x 时，采样电容值为 1.4 pF。忽略其他的寄生参数，并参照数据手册 8.2 节中的建议，每个 ADC 输入端接不小于 33 pF 的输入电容和不小于 10  $\Omega$  的输入电阻。

各参数取值为：

- $T_{AQ} = 50 \text{ ns}$
- $C_{IN} = 33 \text{ pF}$  (取最小值)
- $C_{SH} = 1.4 \text{ pF}$
- $V_{IN} = 3.3 \text{ V}$
- $V_{CSHO} = 0 \text{ V}$
- $V_{FSR} = 3.3 \text{ V}$
- $N = 12$

将上述取值代入公式 11，可以计算出  $R_{IN}$  的最大取值为：

$$R_{IN} \leq \frac{50 \text{ ns}}{(33 \text{ pF} + 1.4 \text{ pF}) \ln \left( \frac{1}{1 + \alpha} \cdot 2^{13} \right)} = 250 \Omega$$

如何使ADC达到最佳的性能, 应用笔记, Rev. 1, 04/2014

公式 12

使用的最小输入电阻  $10\ \Omega$  满足条件。其中  $\alpha$  的值由公式 4 给出：

$$\alpha = \frac{C_{IN}}{C_{SH}} = \frac{33\text{pF}}{1.4\text{pF}} = 23.6$$

公式 13

输入电容上电压降落（或电压尖峰）的幅度由公式 6 给出：

$$\Delta V = \frac{1}{\alpha + 1} (V_{CINO} - V_{SH0}) = \frac{1}{\alpha + 1} (3.3 - 0) = 134\text{mV}$$

公式 14

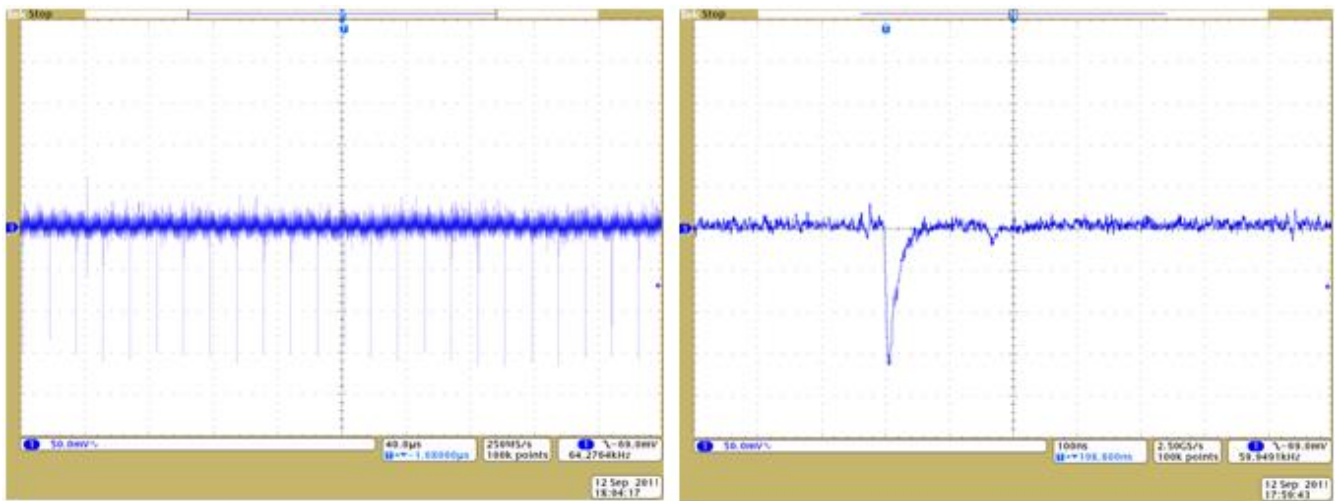


图 8 正确的采样时间配置 – 测量结果为 4087（时间标度：左侧为 40 us，右侧为 100 ns）

如图 8 所示，尽管输入电容上有着非常大的电压降落（假定电压变化在所有元件容忍范围内），但并不会导致 ADC 的输出结果有任何错误。经 FreeMASTER 测量，第二通道的转换结果为 4087。

在选择设计外部 RC 元件时，我们常常犯这样的错误，希望通过增加输入电阻  $R_{IN}$  来降低输入电流，或是实现测量源和 ADC 之间的阻抗隔离。现在考虑这样的情况，如果  $R_{IN}$  增加到  $10\ \text{k}\Omega$ ，使得  $C_{SH}$  在采样时间内不能充分充电。如图 9 所示，50 ns 的采样时间不足以完成采样电容的整个充电过程。公式 9 中的条件无法满足，因而第二通道的实际输出结果将出现较大的误差。经 FreeMASTER 测量，第二通道的实际转换结果为 3780，结果显然不够精确。为了得到正确的结果，根据公式 10 计算出采样时间需要满足：

$$T_{AQ} \geq \tau_H \ln \left( \frac{(V_{IN} - V_{CSHO})}{(1 + \alpha) \cdot V_{FSR}} \cdot 2^{(N+1)} \right) \geq 2\mu s$$

公式 15

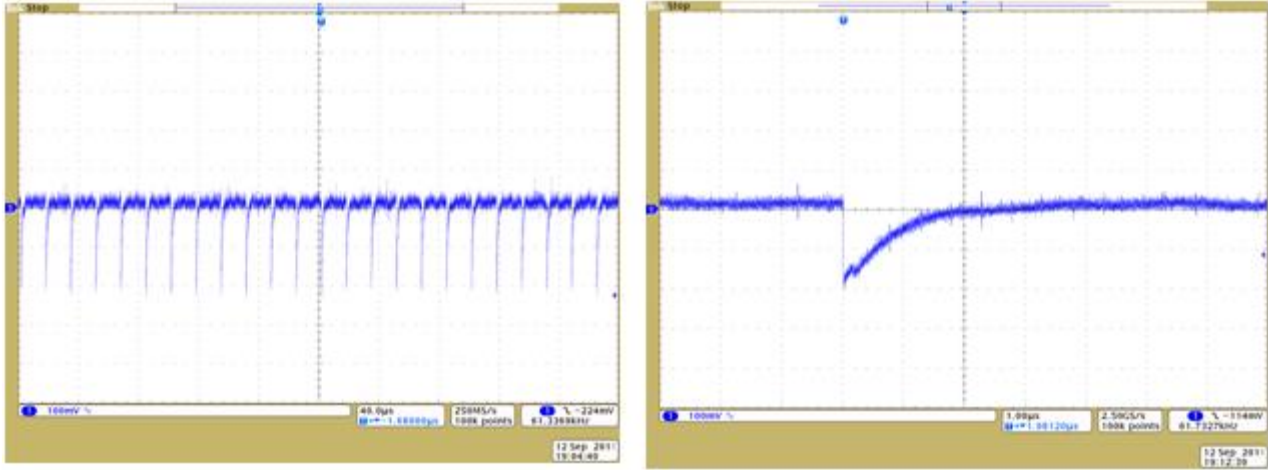


图 9 不正确的采样时间配置 - 测量结果为 3780（时间标度：左侧为 40µs，右侧为 1µs）

### 3.2. 示例2–使用16-bit SAR ADC的Kinetis K K70FN1M

本例中使用了 TWR-K70FN1M 塔式开发板，与示例 1 一样，本例将针对 Kinetis 器件介绍 ADC 模块输入端的外部 RC 元件选型与设计。为了避免干扰，开发板由电池供电，MCU 使用线性稳压器来提供 3.3 V 电源。开发板与计算机通信部分通过光耦隔离，模拟电源部分 ( $V_{DDA}$ ,  $V_{SSA}$  和  $V_{REFH}$ ,  $V_{REFL}$ ) 与数字电源部分 ( $V_{DD}$  和  $V_{SS}$ ) 通过磁珠 (100Ω@100MHz) 隔离，这样可以显著减小来自数字高频部分的干扰。因此，本例满足在理论背景中提到的绝大部分设计建议。

#### 注意

NXP的塔式系统板是以通用为目的而设计的，因此在PCB的模拟部分设计上，可能会有少量的走线缺陷。

模拟信号通过 ADC 模块 (ADC0) 进行测量，ADC0 按顺序转换两个单端通道的信号。使用 PDB 模块的背靠背模式 (back-to-back)，按顺序触发两个通道的转换 (即 PDB\_CH0 pretrigger 0 触发 ADC0\_CHA 通道的转换，转换完成标志启动 PDB\_CH0 pretrigger 1 触发 ADC0\_CHB 通道的转换)。ADC0\_CHA 连接到通道 AD30，即  $V_{REFL}$ ，ADC0\_CHB 连接到通道 DAD0 (单端模式下的 ADC0\_DP0)，通道 ADC0\_DP0 的输入管脚通过外部 RC 元件连接到  $V_{DDA}$ ，如图 10 所示。

## 注意

本文所涉及到的参数名字可能和数据手册中的表述有所不同。例如： $R_{IN} = R_{AS}$ （模拟源电阻）， $C_{IN} = C_{AS}$ （模拟源电容）， $R_{SH} = R_{ADIN}$ （输入电阻）， $C_{SH} = C_{ADIN}$ （输入电容），等式左边为本文所用符号，等式右边为数据手册用到的符号。

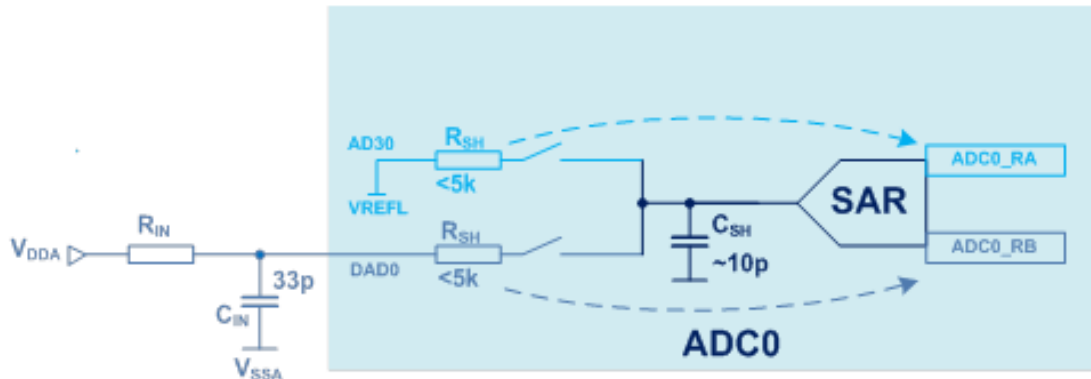


图 10 电路示意图

在本例中，ADC 模块配置为 16-bit 快速转换模式，其中 ADC 时钟设置为 12 MHz，采样时间设置尽可能的小（ADLSMP=0，ADLSTS=3，ADHSC=1），并且关闭了硬件平均功能和 PGA 模块。为了使 16-bit ADC 时钟频率达到最大的 12 MHz，将系统总线时钟配置为 48 MHz。本例中 ADC 总转换时间约为 2.7  $\mu$ s（具体计算公式见参考手册图 38-157）。

ADC 转换每 25  $\mu$ s 由 PDB\_CH0 pretrigger0 产生的脉冲触发（采样频率为 40 kHz），根据上文所述的配置，采样时间为  $T_{AQ} = 6 \times ADCK \text{ cycles} = 500 \text{ ns}$ （见参考手册 Sample time and total conversion time 章节）。考虑最坏的情况（第二通道），ADC0\_DP1 连接到了 VDDA，测量的输入电压  $V_{IN}=3.3 \text{ V}$ ，采样电容上的初始电压为  $V_{REFL}$ ，即  $V_{CSH0}=0 \text{ V}$ （来自前一次测量），满量程电压为 3.3 V，即  $V_{FSR}=3.3 \text{ V}$ 。采样电容最大值为 10 pF（见数据手册中的  $C_{ADIN}$ ）。

## 注意

数据手册中定义的采样电容，即输入电容  $C_{ADIN}$ ，表示的是实现 SAR ADC 模块一组电容的等效电容。其中的每个电容都会在采样期间通过测量引脚上的电压进行充电。在其后的保持和逐次逼近阶段（即转换阶段），存储在每个电容内的能量会根据二进制加权原理确定的特定序列，决定是通过  $V_{REFH}$  进行充电还是放电。

数据手册中对 $C_{IN}$ 输入电容没有限制（数据手册中表述为 $C_{AS}$ ），这里我们取和示例 1 中相同的电容值 $C_{IN}=33\text{ pF}$ 。忽略其他的寄生参数，现在我们得到了计算外部 RC 元件取值所需要的所有参数。

各参数取值为：

- $T_{AQ} = 500\text{ ns}$
- $C_{IN} = 33\text{ pF}$
- $C_{SH} = 10\text{ pF}$
- $V_{IN} = 3.3\text{ V}$
- $V_{CSHO} = 0\text{ V}$
- $V_{FSR} = 3.3\text{ V}$
- $N = 16$

将上述取值代入公式 11，可以计算出 $R_{IN}$ 的最大取值为：

$$R_{IN} \leq \frac{500\text{ns}}{(33\text{pF} + 10\text{pF}) \ln\left(\frac{1}{1+\alpha} \cdot 2^{17}\right)} = 1126\Omega$$

公式 16

计算的输入电阻最大取值表示我们可以在模拟输入端加上的最大电阻，同时又不会损失采样的精度。如果选用超过最大取值的电阻，则将导致转换结果的错误。数据手册中给出的最大取值  $5\text{ k}\Omega$  与本例中给出的最大取值因条件不同而不同（数据手册中为 12/13-bit 分辨率模式以及更低的 ADC 时钟频率）。 $\alpha$  的值由公式 4 给出：

$$\alpha = \frac{C_{IN}}{C_{SH}} = \frac{33\text{pF}}{10\text{pF}} = 3.3$$

公式 17

输入电容上电压降落（或电压尖峰）的幅度由公式 6 给出：

$$\Delta V = \frac{1}{\alpha + 1} (V_{CINO} - V_{SHO}) = \frac{1}{3.3 + 1} (3.3 - 0) = 767\text{mV}$$

公式 18

图 11 所示为当前计算参数下，输入电容两端的电压波形。

### 注意

图 11 所示的电压波形由示波器获取，并仅显示了模拟管脚电压上的交流分量。需要考虑到示波器探针也会造成部分影响，尤其是探针电容（约为  $8\text{ pF}$ ）。



如图 11 所示，采样电容的充电过程在 500 ns 的采样时间内已经完成。因此，可以预见在结果寄存器中能够得到准确的转换结果。ADC0 模块的 DAD0 通道实际结果稳定在 65535（这与理想值的偏差为 0，即没有错误）。

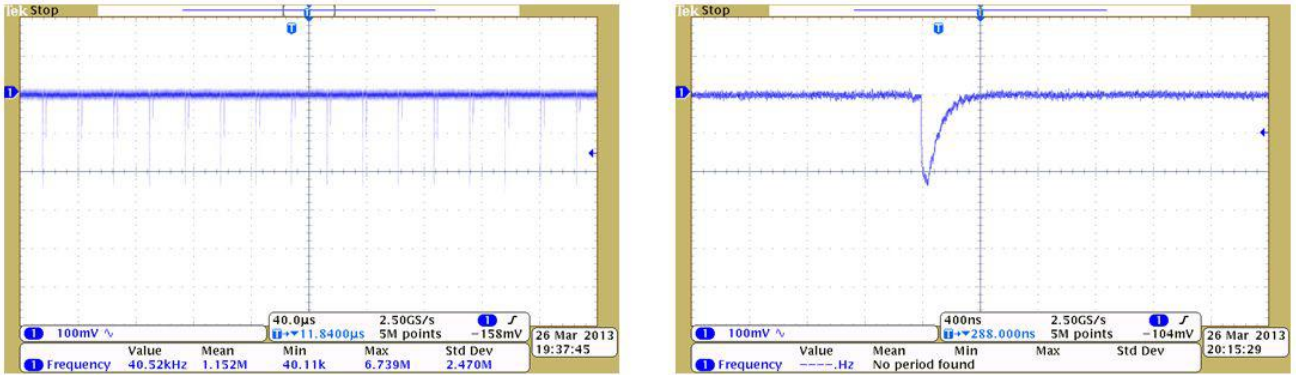


图 11 正确的采样时间配置 – 测量结果为 65535

在示例 1 中我们提到，一个常犯的错误是利用增大输入电阻  $R_{IN}$  来降低电流或完成阻抗隔离等。图 12 为将输入电阻从 1.1 kΩ 改为 5.1 kΩ 时的电压波形，从图中能明显观察到在 500 ns 的采样时间内，采样电容的充电过程还没有完成。因此，结果寄存器中的转换结果不可能正确，ADC0 模块的 DAD0 通道实际结果在 64750 附近变化。这与期望的理想结果 65535 之间有较大的偏差（测量值与理想值之间偏差为 785 – 即 1.2% 误差）。这样的偏差在某些应用中将导致严重的错误，为了获取正确的转换结果，我们需要遵从公式 10：

$$T_{AQ} \geq \tau_{II} \ln \left( \frac{(V_{IN} - V_{CSHO}) \cdot 2^{(N+1)}}{(1 + \alpha) \cdot V_{FSR}} \right) \geq 2.2 \mu s$$

公式 19

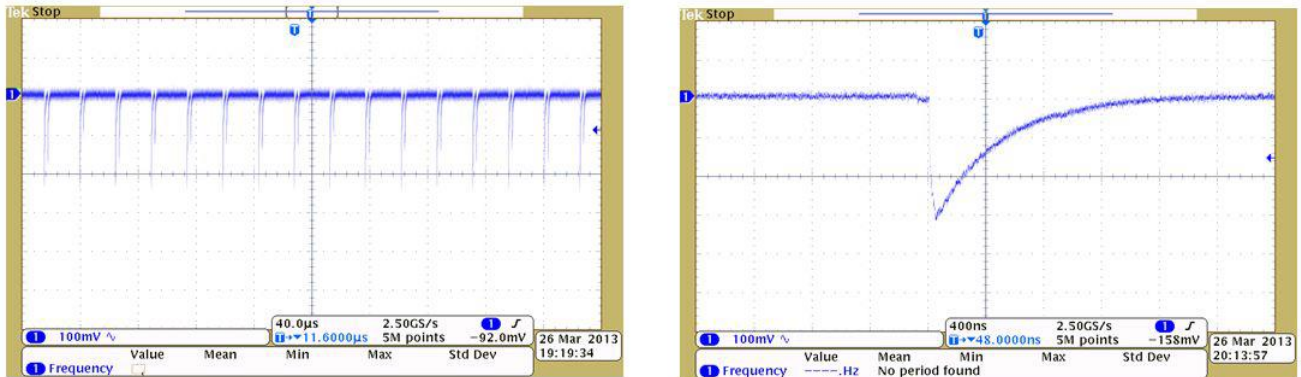


图 12 不正确的采样时间配置 – 测量结果为 64750

## 4. 总结

在采样时间 ( $T_{AQ}$ ) 内, 采样电容 ( $C_{SH}$ ) 必须充分充电, 使其两端电压与待测输入电压之间的差值达到一个可接受的范围内。通常在采样时间结束时刻, 两者的差值不能超过满量程的 0.5

LSB。如果采用了高阻抗的输入电阻 (更高的外部元件时间常数), 则采样电容 ( $C_{SH}$ ) 将会首先由外部输入电容 ( $C_{IN}$ ) 的能量充电 (更低的输入元件时间常数)。采样电容上的充放电过程导致了输入电容 ( $C_{IN}$ ) 两端电压的电压降落 (或电压尖峰)。之后采样电容的充电过程由于较高的输入阻抗而变化的缓慢。因此, 外部 RC 元件的取值会从本质上影响 ADC 转换的精度, 为了获得最佳的 ADC 性能, 我们需要小心对待并设计外部 RC 元件, 在选取采样时间时必须参考采样电容充电的时间常数。其他需要满足的条件, 详见器件的参考手册与数据手册。

## 5. 参考文献

以下文档均能从 [www.nxp.com](http://www.nxp.com) 获取:

- MC56F825x/4x Reference Manual, Rev. 2, 10/2010 (document MC56F825XRM)
- K70 Sub-Family Reference Manual, Rev. 3, 11/2014 (document K70P256M150SF3RM)
- MC56F825x/MC56F824x Digital Signal Controller, Rev. 4, 06/2014 (document MC56F825X)
- Data Sheet K70 Sub-Family, Rev. 6, 09/2015 (document K70P256M150SF3)



**How to Reach Us:**

**Home Page:**  
[freescale.com](http://freescale.com)

**Web Support:**  
[freescale.com/support](http://freescale.com/support)

本文档中的信息仅供系统和软件实施方使用 Freescale 产品。本文并未明示或者暗示授予利用本文档信息进行设计或者加工集成电路的版权许可。Freescale 保留对此处任何产品进行更改的权利，恕不另行通知。

Freescale 对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用程序或者使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于后果性的或附带性的损害在内的所有责任。Freescale 的数据表和 / 或规格中所提供的“典型”参数在不同应用中可能并且确实不同，实际性能会随时间而有所变化。所有运行参数，包括“经典值”在内，必须经由客户的技术专家对每个客户的应用程序进行验证。Freescale 未转让与其专利权及其他权利相关的许可。Freescale 销售产品时遵循以下网址中包含的标准销售条款和条件：[freescale.com/SalesTermsandConditions](http://freescale.com/SalesTermsandConditions)。

Freescale, the Freescale logo and Kinetis are trademarks of Freescale Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. All other product or service names are the property of their respective owners. ARM and Cortex are registered trademarks of ARM Limited (or its subsidiaries) in the EU and/or elsewhere. All rights reserved

© 2014 Freescale Semiconductor, Inc.

© 2014 飞思卡尔半导体有限公司

Document Number: AN4373

Rev. 1  
04/2014

